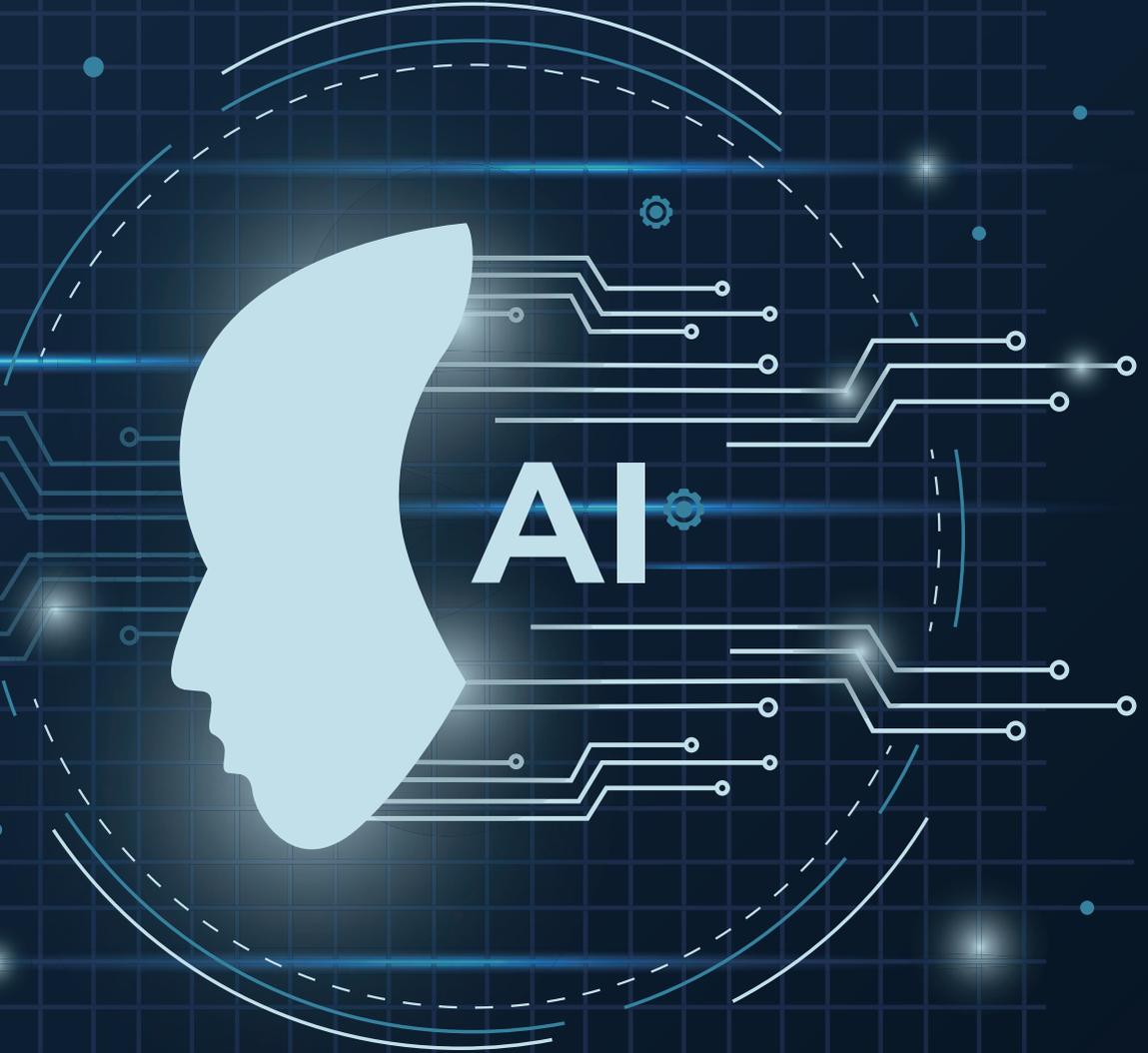


Deloitte.



차세대 반도체, 인류에 새로운 세상 열어준다

인공지능의 반도체 설계, 더 값싸고 빠르고 강력하다

Jeff Loucks, Duncan Stewart, Christie Simons, Brandon Kulik

2023년 01월
Deloitte Insights



카카오채널 바로가기

Ch

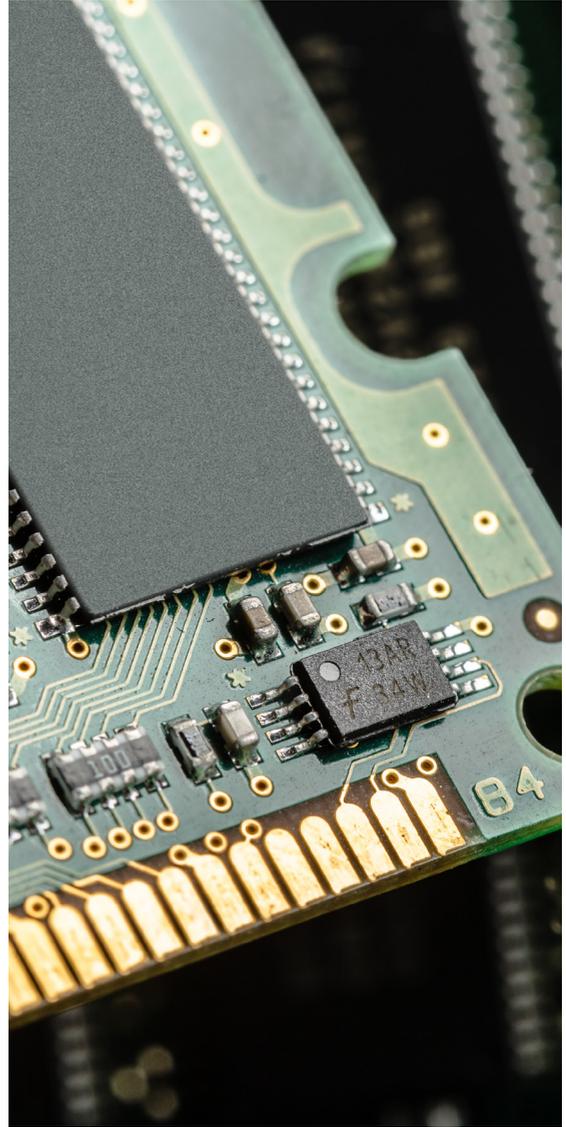
머신러닝(ML)의 발전으로 반도체 사들의 오랜 숙제인 '평방인치 당 1,000억 개 소자' 집적도를 실현할 수 있게 되었다.

고집적 반도체 설계에 인공지능(AI)이 본격 활용될 것으로 전망된다. 수 백억 원이 투입되는 고성능 반도체 설계에서 반복 작업을 줄여 원가를 낮추고 설계 인력 간 협업 효율성을 높일 수 있기 때문에 삼성전자, 인텔, 퀄컴 등 글로벌 반도체 업체가 'AI 설계' 도입을 추진하고 있다.

딜로이트 글로벌의 전망에 따르면 '23년에 글로벌 선도 반도체 기업들은 자체 칩 설계 AI 개발과 타사 툴 활용에 약 3억 달러 이상을 투자할 것으로 보인다'.

그리고 이후 해당 투자액은 매년 20% 증가 추세를 보이며 '26년에 5억 달러에 이를 것으로 예상하고 있다². 사실 '23년 글로벌 반도체 시장 규모 약 6,600억 달러에 비하면 미미한 수치이지만 투자 수익은 예상외로 크다. 예를 들어 인공지능(AI) 툴의 단일 라이선스 사용권³은 수만 달러 정도지만 AI가 설계한 칩은 수십억 달러의 가치를 지닌다.

반도체 회사들은 칩 설계 인공지능(AI) 툴 개발과 활용으로 '무어의 법칙'⁴의 물리적 한계를 극복할 수 있게 되었다. 고집적도 칩 생산에 소요되는 시간과 비용 그리고 숙련된 인력 부족 문제를 해소할 뿐만 아니라 구식 취급을 받던 칩 설계(8인치 웨이퍼)조차 현재 상황에 맞게 수정할 수 있다. 또한 반도체 회사들은 향후 발생할지 모르는 반도체 부족 이슈를 근본적으로 해소하고 안정적으로 공급할 수 있게 된다.



8인치 웨이퍼 구식으로 전락

8인치 파운드리리는 2000년대부터 2010년대 초반까지 유행했다. 12인치(300mm) 웨이퍼보다 크기가 작은 만큼 원가도 낮았다. 하지만 '미세공정'이 발전하면서 상황이 역전됐다. 12인치 웨이퍼에서 더 많은 반도체를 생산하는 게 비용 측면에서 훨씬 유리해졌다. 8인치 웨이퍼를 기반으로 하는 파운드리 기업들이 12인치로 전향하고, 웨이퍼 업체는 물론 8인치용 장비를 만들던 장비 업체도 12인치로 선화하고 있다. 8인치용 장비는 중고가 아닌 이상 구하기도 어려워졌다. 업계에서는 8인치 시장은 성장에 한계가 있는 데다 수익성도 크지 않다고 지적한다.

대만 TSMC, 삼성전자 등 상위권 파운드리 업체들은 8인치보다 12인치 사업에 주력한다. 미국 퀄컴 등 팹리스(설계 전문 업체)의 주문을 받아 스마트폰 AP(애플리케이션 프로세서) 등을 대량 생산하는 데 유리하기 때문이다.

시간을 절약하면 비용도 줄어든다... 첨단 Si로 반도체 설계 시간 놀라울 정도로 단축

전자, IT 등 하이테크 산업의 근간이 되는 반도체는 현존하는 모든 최첨단 기술이 집약된 제품이라 해도 과언이 아니다. 글로벌 기업 간의 기술 및 투자 경쟁이 매우 치열한 분야이다. 이러한 경쟁에서 가장 중요한 요소는 시장 적기 출시(Time-To-Market)와 수율이다. 제품을 시장에 빨리 내놓을수록 일종의 선점-독점 효과를 누리게 되며 양산 수율은 그대로 이익과 직결된다. 얼마나 빨리 제품을 생산해 경쟁력 있는 수율을 달성하는가에 모든 사활이 걸려 있는 것이다.

이는 반도체를 생산하기 위한 공정, 장비, 소재 등 물리적인 영역뿐만 아니라 설계-검증을 위한 소프트웨어 분야도 마찬가지이다. 반도체 설계-검증은 EDA(Electronic Design Automation, 반도체 설계자동화) 도구들을 이용하여 많은 부분 자동화되었고, 시장 또한 성장세를 보이고 있다.

지난 수년간 EDA(Electronic Design Automation) 업체들이 반도체 칩 설계 소프트웨어 산업을 주도하고 있다. 현재 산업 규모는 100억 달러('22년 기준)를 상회하고 있으며 연간 8% 성장률을 보이고 있다⁵.

EDA 소프트웨어는 통상적으로 규칙 기반 시스템(Rule Based System)과 물리 시뮬레이션(Physics Simulation)으로 반도체 설계와 검증 과정을 지원한다. 이미 일부 EDA에는 AI 기술이 접목되고 있다고 봐야 한다. 사실 지난해 주요 EDA 기업들은 AI 기반 소프트웨어를 연이어 출시했고, 반도체 회사들 또한 자체 AI 툴을 개발하기 시작했다. 특히 몇몇의 AI 기반 EDA 소프트웨어는 실험 단계를 벗어나 수십억 달러 규모의 반도체 설계에 실제로 적용되고 있는 중이다. 당장은 시가 엔지니어를 대체하지는 않을 것이지만 속도와 비용 효율성 측면에서 칩 제조사들의 설계 역량을 높일 것으로 판단된다.

EDA 업체들의 진입장벽

반도체 회로 설계 시 반드시 필요한 소프트웨어(SW)로 EDA는 빅 3로 불리는 시놉시스(Synopsys), 케이던스(Cadence), 지멘스 EDA(구 Mentor Graphics)가 전체 시장의 70%를 점유하고 있다.

EDA 소프트웨어를 개발하기 위해서는 반도체 산업에 대한 전문 지식이 필요하며 최고 수준의 소프트웨어 개발 역량도 갖춰야 한다. 또한 컴파일러 기술부터 물리적 도면(Physical Layout)을 처리하기 위한 계산 기하학(Computational Geometry), 물리 시뮬레이션을 위한 광학이나 전자기학 등 실로 다양한 기술이 요구된다. 현재 EDA 빅 3의 제품들은 오랜 기간 사용되면서 발전해 왔고 반도체 산업의 표준 도구로 자리 잡고 있다.

향후 AI 기반 EDA 소프트웨어의 매출 성장률은 향후 5년간('23년~'28년) 일반 EDA의 2배, 반도체 칩 매출의 3배를 상회할 것으로 전망된다.

그림 1. 반도체 칩, EDA 및 AI 설계 소프트웨어 연평균 매출 성장률(2023~2028)



출처: 세계반도체시장통계기구(WSTS), 글로벌 마켓 인사이트(Global Market Insights), 딜로이트 글로벌 데이터

이와 같은 AI 칩 설계 SW의 성장은 반도체 첨단 공정 전환에 따른 수익 확대로 풀이된다.

반도체 설계와 개발은 첨단 공정으로 갈수록 비용이 급상승한다. 개발 비용의 절반은 EDA 툴과 반도체 설계자산(intellectual property, IP) 등 소프트웨어가 차지한다. 최근 삼성전자, 퀄컴, 애플, 구글, 메타 등 주요 반도체 기업이 5나노 이하 초미세 공정 설계를 본격화하면서 EDA 툴 라이선스 비용이 크게 늘어났다. 따라서 EDA 툴 업체가 보유한 첨단 공정 반도체 IP도 다수인만큼 AI 기반 칩 설계 SW 매출 또한 증대할 것으로 전망된다. 이러한 고속 성장은 반도체 팹리스 업체의 첨단 제품 개발 수요가 지속되는 만큼 지속될 것이다. EDA 툴 업계 관계자는 “일각에서는 하반기부터 일시적 반도체 수요 둔화를 예상하지만 전체 반도체 시장은 매년 20% 안팎 성장이 전망된다”며 “EDA 툴 시장 역시 반도체 성장 추세와 궤를 같이하며 지속 성장할 것”이라고 밝혔다⁶.

반도체 칩의 설계와 생산은 기술 집약적이고 복잡한 과정이다. 손가락 끝에 올릴 수 있을 정도로 작은 칩 위에 대량의 논리 회로를 집적 시켜야 하고, 이때 회로 배치 패턴은 $10^{2,500}$ 이상의 천문학적인 수의 조합으로 최적의 설계를 이끌어내야 한다. 인간 설계자에게 수개월 이상 걸리는 일일겠지만 AI는 수 시간 내에 회로배치를 생성할 수 있다. 이처럼 반도체 칩 설계에 있어 AI가 위력을 발휘하면서 반도체 회사들은 구체적으로 다음과 같은 혜택을 누릴 수 있다.

더 높은 집적도의 칩 생산을 지원한다.

스마트폰, 컴퓨터, 데이터 센터 등에 쓰이는 10나노미터(nm) 미만 반도체칩은 가장 빠르게 성장함과 동시에 수익성이 높은 제품이 었다⁷. 하지만 최근 상용화된 반도체는 3나노미터 칩이다⁸. 그리고 삼성전자가 올해 6월부터 3나노미터 칩 양산에 들어갔고, '27년 '1.4나노미터' 양산을 선언했다. TSMC도 올해 9월 3나노미터 공정을 적용한 반도체 양산 계획을 밝힌 바 있다. 하지만 한 단계 더 높은 집적도로 새로운 설계를 도입할 때마다 생산 비용이 약 5억 달러 이상 증가한다⁹. 반도체 회사들이 AI칩 설계 툴의 개발과 도입에 주력하는 이유가 여기에 있다. AI 칩 설계 툴 도입 시 더 높은 집적도의 칩 생산에 소요되는 설계 시간과 비용을 대폭 절감할 수 있기 때문이다.

반도체 칩 성능 개선에 기여한다.

2022년 전 세계에 판매된 반도체칩의 약 3분의 2는 65나노미터 칩¹⁰에서 만들어지고 있다¹¹. 이러한 칩 설계를 보다 첨단화(선폭 축소화) 했을 때 해당 칩은 물리적으로 작아지고 전력효율¹² 또한 좋아진다. 그래서 이미 구식이 된 칩 제작 설비에 의존할 필요가 없게 된다. AI 칩 설계 툴은 반도체 회사로 하여금 이렇게 첨단화된 칩을 보다 빠르게 그리고 싸게 생산할 수 있게 한다.

반도체 인력 부족난을 해결할 수 있다

전 세계적으로 반도체 기업들은 '인재 가뭄'에 시달리고 있다. 기업들이 공격적으로 반도체 생산능력 확대에 나서고, 미국, EU 및 중국 등에서 정책적으로 반도체 내재화에 힘을 쏟으면서 그만큼 우수 인력이 많이 필요 해졌기 때문이다. 2022년 전 세계 반도체 개발자 수는 약 200만 명에 달한다. 하지만 2030년까지 반도체 개발 인력은 100만 명 이상의 추가 공급이 필요해 질 것이다¹³. 이러한 상황에서 AI 설계 툴은 대안으로 반도체 인재 공급 차질 완화에 도움을 줄 것으로 기대된다.

반도체 칩 설계는 다음과 같이 3단계를 거쳐 설계가 완성된다.

- STEP 01 시스템 레벨 설계
- STEP 02 레지스터 전송레벨(Register Transfer Level, RTL) 설계
- STEP 03 물리적 회로 설계(Physical circuit Design)

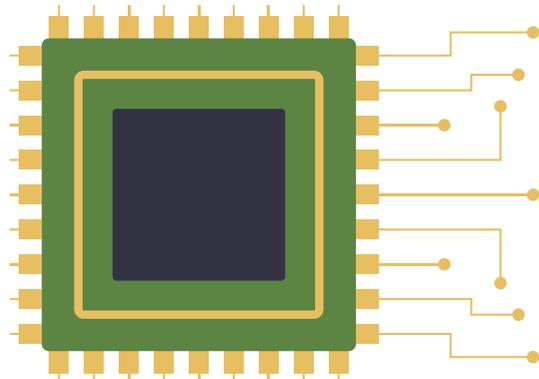
첨단 AI 툴은 마지막 단계로 물리적 회로 설계 과정에서 크게 활약한다. 반도체 설계를 단순하게 말하면 주어진 공간에 논리적으로 정의된 나노미터 단위의 반도체 소자들을 배치하는 작업이라고 할 수 있다. 이때 PPA(Power, Performance, Area; 이하 PPA)를 기준으로 설계 품질이 결정된다. 즉 성능이 높고(Performance, Clock Frequency), 전력(Power)을 적게 소모하며, 크기가(Area) 작을수록 잘 된 설계라 할 수 있고, 이에 따라 반도체의 수준이 결정된다고 할 수 있다. 결과적으로 반도체 설계는 소비전력(Power), 성능(Performance), 면적(Area)이 최적화된 소자 배치를 찾아내는 과정인 것이다.

전통적인 툴로 PPA를 최적화하는 것은 매우 느리고 노동집약적인 과정이다. 설계 반복만 수 주일이 걸리고, 그 반복된 설계 후에도 PPA 개선이 크지 않을 수 있다. 반도체 칩을 설계하고 물리적 형태로 구현, 검증 및 테스트를 거친 후 모든 것을 시뮬레이션 하기까지 수년이 걸릴 수 있다.

반도체 칩은 메모리 서브시스템, 컴퓨터 유닛, 로직제어시스템, 전력원 등을 포함하는 모듈 블록과 표준셀로 표현되는 수십억 개의 소자들로 구성되어 있다. 복잡한 반도체 칩의 경우 모듈 블록 연결에 와이어 50km가 필요하다. 만약 블록 배치가 최적화되지 않는다면 블록 간 공간이 생기고 와이어 길이가 늘어날 수밖에 없다. 이때 블록 구성요소들 간 의도치 않은 전력 소모, 이른바 블록 기생저항(Parasitic Resistance) 발생으로 반도체 성능이 저하될 수 있다.

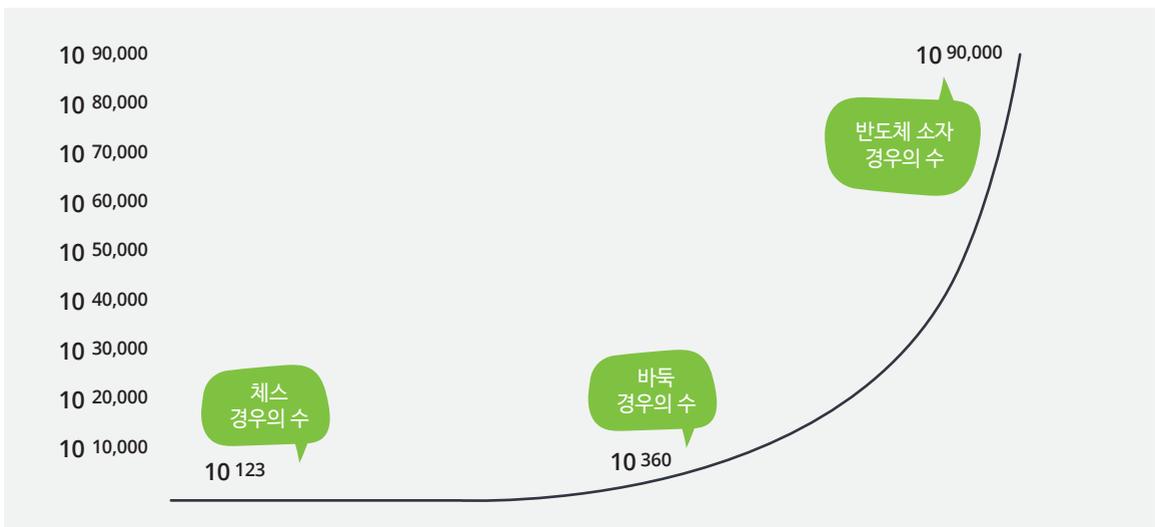
AI 툴은 엔지니어 설계의 오류를 잡아내고 개선안을 제시할 수 있다. 다시 말해 인간이 설계한 소자들 간 배치 오류를 식별하고 수정해 반도체 칩의 전력 증가 문제와 성능 저하 그리고 공간 효율성 저하를 초래하는 근본 원인을 파악하고 대안을 제시한다. 특히 대안으로 도출한 설계 안으로 시뮬레이션과 테스트 또한 진행된다. 이러한 툴은 PPA가 개선될 때까지 설계와 개선을 반복하고 학습한다. 무엇보다 혁신적인 것은 AI 툴이 이 모든 일을 스스로 처리한다는 점이다. 그리고 엔지니어 팀 전체가 수 주일 또는 수개월 걸리는 일을 몇 시간 내에 끝내며, 언제나 엔지니어보다 더 나은 설계안을 제시한다. AI 툴은 그래프 신경망(Graph Neural Network, GNN)과 강화 학습(Reinforcement Learning, RL) 두 가지 유형의 모델로 그 능력을 발휘한다. 먼저 GNN은 그래프 분석에 특화된 ML(Machine Learning) 알고리즘이며, 여기서 그래프는 데이터 구조를 말한다. 그래프 데이터 구조는 특정 데이터 객체를 뜻하는 노드(node)와 노드들 간의 복합적인 연결 관계(link)로 정의되는 엣지(edge)들의 집합이다. 그래프 데이터는 그 자체가 점(node)과 선(edge)으로 저장되고 특정 속성에 따라 연결관계를 바로 확인할 수 있기 대량의 빅데이터/실시간 데이터 분석에 용이하다. 특히 데이터 객체(노드)들간에 관계가 엣지로 이어져 있기 때문에 처음 노드와 관련된 엣지만 파악되면 연결 데이터를 빠르게 찾을 수 있고, 데이터간의 의미 추론이 빠르게 이뤄질 수 있다는 장점이 있다¹⁴.

GNN 모델은 이전 모델인 딥러닝 신경망(deep learning neural network) 모델보다 그래프 분석에 적합한 모델이다. 핵심 노드들 간 관계를 유지하면서 손쉽게 데이터를 추출하고 노드들 간의 연관성으로 유용한 의미를 추론하고, 추론된 결과를 토대로 노드들을 재 배열한다¹⁵. 이와 같은 방식은 반도체 칩에 적용했을 때 모듈러 블록과 기본 표준셀을 노드로 보고, 이들을 연결하는 와이어를 엣지로 보면, 반도체 칩 구조는 기본적으로 그래프 데이터 구조와 동일하다. 따라서 GNN 모델은 반도체 칩 분석과 최적화된 소자 배치에 이상적인 모델이 된다.



RL 모델은 물리적 반도체 설계를 일종의 '그래프 최적화 게임'으로 만든다. 특히 RL 모델은 바둑기사 이세돌과 대결에서 승리를 거둔 알파고(AlphaGo)를 있게 만든 일등공신으로 인공지능의 대중적인 관심과 성장에 기여했다고 볼 수 있다. 그리고 지금 RL 모델은 체스보다, 바둑보다 훨씬 더 많은 경우의 수를 고려해야 하는 반도체 설계에 도전하고 있다(그림 2). RL 모델의 작동 방식은 기본적으로 주어진 환경과 상호작용하면서 좋은 점수를 얻는 방향으로 추론 모델을 계속 수정하면서 최적의 해답을 찾는 것이다. 시가 설계도면을 만들어 내면 엔지니어가 상벌을 주는 방식으로 학습이 이뤄진다. 와이어 길이, 혼잡도, 밀도, 소비전력, 면적을 줄여¹⁶ PPA 최적화에 성공하면 상을 주고, 최적화에 성공하지 못하면 벌을 준다. 이와 같은 강화 학습 방식으로 시는 수천 개의 반도체 설계 도면을 게임 삼아 혹독한 RL을 거쳐 최적의 PPA를 만족하는 반도체 설계도를 내놓게 된다¹⁷.

그림 2. 반도체 소자 배치 경우의 수



출처: 시놉시스(Synopsys), 2020년 7월 21일

반도체 설계 시 탐색해야 하는 구성요소 배열의 수는 체스나 바둑의 경우의 수와는 비교할 수 없는 수준이다. 하지만 GNN 모델과 RL 모델이 적용된 AI는 PPA 최적화에 있어 베테랑 엔지니어 능력을 넘어서고 있으며 이것이 엔지니어 필요인력을 절감하고 설계 시간을 단축시킬 수 있는 이유이다. 특히 AI 툴을 이용한 실제 사례는 다음과 같다.

미국 매사추세츠공대(MIT)에서 개발된 AI 툴은 엔지니어가 설계한 회로보다 에너지 효율성이 2.3배 높은 설계를 완성했다¹⁸. 대만 팹리스 업체 미디어텍(MediaTek)은 AI 툴을 활용해 핵심 프로세서 부품의 크기를 5% 줄이고 소비전력도 6% 감축했다¹⁹. 미국 케이던스(Cadence)는 단 한 명의 엔지니어가 AI 툴을 사용해 단 10일 만에 5nm 휴대폰 칩의 성능을 14% 개선하고 소비전력을 3% 감축했다. 당초 10명 엔지니어들이 수개월이 걸리는 일이다²⁰.

알파벳(Alphabet)의 AI 툴은 PPA 지표에서 베테랑 엔지니어들을 능가하는 반도체 설계도면을 끊임없이 내놓고 있다. AI를 도입하자 새로운 설계가 나오는 데 걸리는 시간도 수 주 및 수 개월에서 단 6시간 이내로 단축됐다²¹.

RL 모델을 적용한 엔비디아(NVIDIA) AI 툴은 EDA를 활용한 엔지니어들의 설계보다 25% 작지만, 성능은 동일한 반도체 칩 설계를 완성했다²².

AI가 직접 자신의 두뇌인 반도체칩을 설계하는 시대

주요 반도체 회사들과 엔지니어들은 첨단 노드 반도체 비롯한 칩 설계 과정에서 한층 더 진보된 AI 기술을 활용하고 있다. 사실 반도체칩의 복잡도가 계속 증가하고 있다. 예를 들어 미국 시놉시스(Synopsys)사에서 설계한 가장 큰 반도체는 1조 2,000억 개 이상의 소자와 40만 개의 AI 최적화 코어 프로세서를 탑재하고 있다²³. 따라서 반도체 칩 설계 시에 AI 툴은 필수적으로 사용될 것이다.

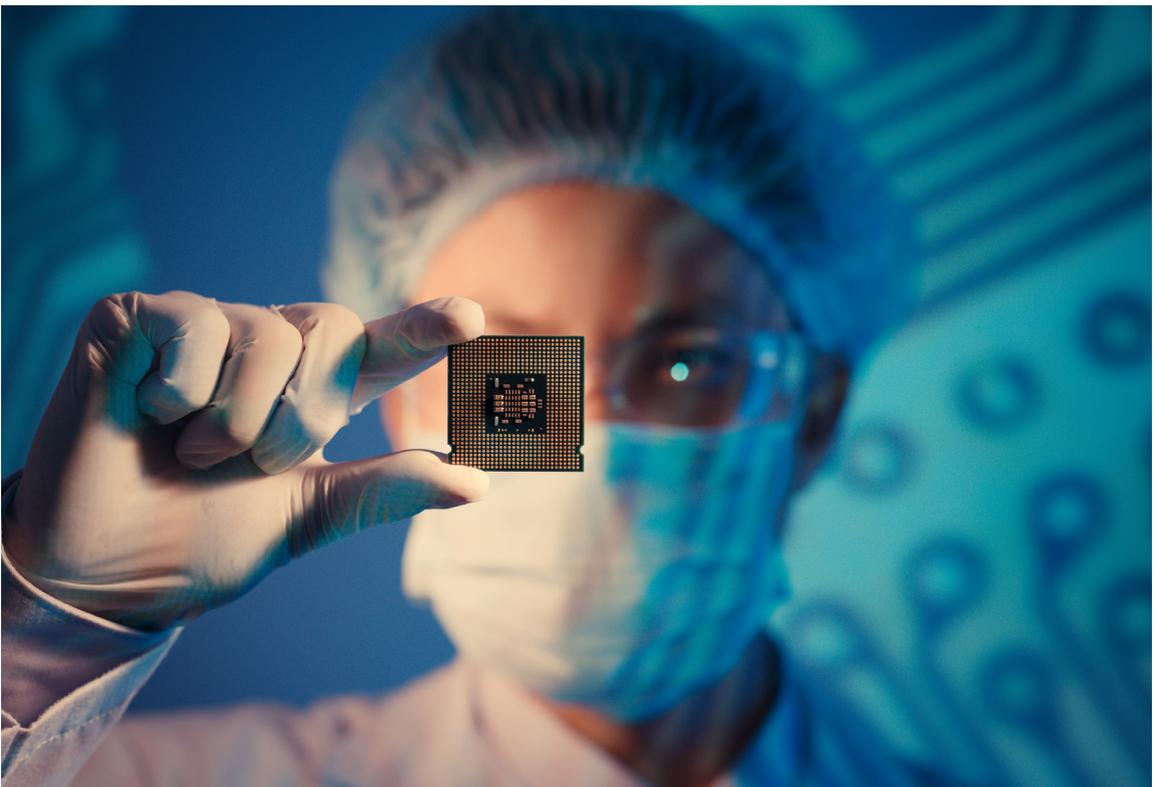
첨단 AI 반도체 칩 설계 툴이 클라우드 기반 EDA 서비스를 통해 제공되면 사용자 시장 또한 점점 확대될 것이다. 일단 클라우드 상에 AI 툴이 제공된다면, 전문가 그룹이나 선도사업자들뿐만 아니라 기술력과 컴퓨팅 파워가 부족한 소규모 기업들까지 AI 툴에 접근할 수 있기 때문이다²⁴.

현재 세계 최대 반도체 기업들은 첨단 AI 기술로 새로운 서비스를 개발하고 신규 수익을 창출하고 있다. GNN과 RL 모델을 한층 더 확대해 자체 칩 설계뿐만 아니라 주요 고객사들에게 설계 서비스 제공 및 공동 설계를 추진하고 있다. 특히 버티컬(vertical)칩²⁵ 설계 분야에서 공동 설계가 활발히 추진되고 있다.

반도체 산업에서 AI는 설계 과정 외에도 활용 범위가 넓다. 웨이퍼 외관 검사를 통해 결함 포착률을 9배 가까이 개선하고²⁶, 아웃소싱 조립 및 테스트 업체들의 네트워크를 관리해 공급망 문제도 해결할 수 있다²⁷.

지난 몇 년간은 'AI를 위해' 반도체 설계가 이뤄졌다면, 지금의 반도체 칩은 'AI에 의해' 설계되고 있다. 다음에는 어떤 혁신이 기다리고 있을까?

21세기에 새롭고 유기적인 성장 순환구조 만들어내는 혁신의 플라이휠(flywheel)²⁸로서 AI는 직접 스스로를 작동시키는 하드웨어와 소프트웨어를 모두 인간과 함께 설계하는 날이 올 수도 있을 것이다.



주석

1. 딜로이트 글로벌은 AI 반도체 설계 소프트웨어 시장 규모가 2022년 약 1억5000만 달러에 이르고, 2023년에는 2억 달러를 넘을 것으로 전망한다. 또한 AI 설계 툴에 대한 대형 반도체 회사들의 투자액 또한 비슷한 규모로 전망한다.
2. 딜로이트 글로벌이 EDA 업체의 발표와 분석 보고서에 기반해 증가율을 전망했다.
3. 단일 라이선스(Single-seat license) : 해당 소프트웨어를 단 한 대의 기기/장비에만 설치할 수 있는 사용권
4. 2년마다 반도체 칩의 미세소자 집적도가 2배씩 증가하는 법칙
5. Global Markets Insights, Electronic design automation market report, 2020.
6. 전자신문 (2022, 08, 29) <https://www.etnews.com/20220829000137>
7. John Ciacchella et al., 2022 semiconductor industry outlook, Deloitte. 2022.
8. 나노 단위 반도체 회로의 선폭(線幅=Process Node)이 좁아질수록 전력을 덜 소비하면서 고효율인 반도체칩을 만들 수 있다.
9. International Business Strategies (IBS), 2021.
10. 전통적인 공정은 10nm, 14nm, 28nm, 65nm, 180nm 등 파운드리업체들이 과거부터 기술 개발을 이어오는 과정에서 탄생한 표준 공정이다.
11. Ciacchella et al., 2022 semiconductor industry outlook.
12. 선폭이 7nm→5nm→3nm로 한 단계씩 진화할수록 반도체 칩의 전력 효율성이 20%씩 증가
13. 딜로이트 글로벌은 하향식(국가 및 지역별 최신 직접 고용 지표 기준 합계) 및 상향식(모든 대형 반도체 회사의 직원 수 총합) 방식을 종합적으로 감안해 2021년 전 세계 반도체 산업 직접 고용 건수를 추산했다. 반도체 산업 매출이 2030년까지 80% 증가와 동시에 산업 집중화 완화 및 매출 1달러 당 필요 인력 수 증가 가정으로, 약 50%의 인력이 더 필요할 것으로 전망했다.
14. Abid Ali Awan, "A comprehensive introduction to graph neural networks (GNNs)," DataCamp, July 2022.
15. Dickson, "What are graph neural networks (GNN)?"
16. Ed Targett, "AL outperforms humans in chip design breakthrough," The Stack, June 10, 2021.
17. BBC News, "Go master quits because AI 'cannot be defeated,'" November 27, 2019.
18. Will Knight, "Need to fit billions of transistors on a chip? Let AI do it," Wired, July 9, 2021.
19. James Mora, Cadence Taps AI Technology to Speed Up System Design. Electronic Design, June 13, 2022.
20. John Koon., "Improving PPA with AI," Semiconductor Engineering, May 12, 2022. /
21. Azalia Mirhoseini et al., "A graph placement methodology for fast chip design," Nature 594 (2021): pp. 207-12.
22. Rajarshi Roy, Jonathan Raiman, and Saad Godil, "Designing arithmetic circuits with deep reinforcement learning," NVIDIA Developer, July 8, 2022.
23. Stelios Diamantidis, "Why now is the time to create an AI strategy for chip design," Synopsys blog, June 16, 2021.
24. Jeff Loucks, Artificial intelligence: From expert-only to everywhere, Deloitte Insights, December 11, 2018.
25. 연산을 담당하는 소자(트랜지스터)를 한 칩 안에 수직으로 쌓은 칩으로 평면에 소자를 배치하는 것보다 집적도를 극대화 할 수 있는 방법이다.
26. Tobias Schlosser et al., "Improving automated visual fault inspection for semiconductor manufacturing using a hybrid multistage system of deep neural networks," Journal of Intelligent Manufacturing 33 (2022): pp. 1099-1123.
27. Deloitte, "Supply chain and network operations: Enterprise technology and performance," accessed October 26, 2022.
28. 아마존(Amazon.com)을 창업한 제프 베조스가 중역들과의 회의에서 뱉킨 한 장에 아마존의 성장순환구조를 그렸다는 일화로 유명한 '플라이휠'이 기업 성장의 유기적인 순환 구조를 표현하는 전략 프레임으로 활용되고 있다.

Deloitte.

Insights

딜로이트 안진회계법인·딜로이트 컨설팅
고객산업본부

손재호 Partner
고객산업본부 본부장
jaehoson@deloitte.com

정동섭 Partner
딜로이트 인사이드 리더
dongjeong@deloitte.com

김사힘 Director
딜로이트 인사이드 편집장
sahekim@deloitte.com

HOT LINE
02) 6099-4651

Deloitte refers to one or more of Deloitte Touche Tohmatsu Limited (“DTTL”), its global network of member firms, and their related entities (collectively, the “Deloitte organization”). DTTL (also referred to as “Deloitte Global”) and each of its member firms and related entities are legally separate and independent entities, which cannot obligate or bind each other in respect of third parties. DTTL and each DTTL member firm and related entity is liable only for its own acts and omissions, and not those of each other. DTTL does not provide services to clients. Please see www.deloitte.com/about to learn more.

Deloitte Asia Pacific Limited is a company limited by guarantee and a member firm of DTTL. Members of Deloitte Asia Pacific Limited and their related entities, each of which are separate and independent legal entities, provide services from more than 100 cities across the region, including Auckland, Bangkok, Beijing, Hanoi, Hong Kong, Jakarta, Kuala Lumpur, Manila, Melbourne, Osaka, Seoul, Shanghai, Singapore, Sydney, Taipei and Tokyo.

This communication contains general information only, and none of Deloitte Touche Tohmatsu Limited (“DTTL”), its global network of member firms or their related entities (collectively, the “Deloitte organization”) is, by means of this communication, rendering professional advice or services. Before making any decision or taking any action that may affect your finances or your business, you should consult a qualified professional adviser.

No representations, warranties or undertakings (express or implied) are given as to the accuracy or completeness of the information in this communication, and none of DTTL, its member firms, related entities, employees or agents shall be liable or responsible for any loss or damage whatsoever arising directly or indirectly in connection with any person relying on this communication. DTTL and each of its member firms, and their related entities, are legally separate and independent entities.